

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-19776

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.⁵

G 0 6 F 12/00

12/16

識別記号

5 6 4

3 4 0

庁内整理番号

9366-5B

7629-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平4-174621

(22)出願日

平成4年(1992)7月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 柴田 泰秀

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

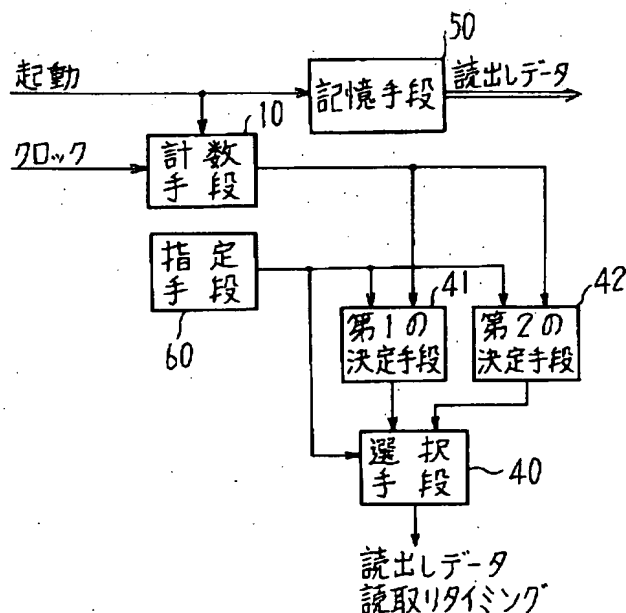
(54)【発明の名称】 メモリ制御方式

(57)【要約】

【目的】 メモリ制御方式に関し、クロック周波数を低速に切り換えたとき、装置の処理能力の低下を防止するメモリ制御方式を提供することを目的とする。

【構成】 指定手段はクロックの速度を高速又は低速に指定し、計数手段は記憶手段が起動されてから後に発生するクロック数を計数し、第1の決定手段は装置が高速クロックで動作時には記憶手段が起動されてから有効なデータが読み出される迄の期間において計数手段が計数する計数値に基づいて、読出しデータが有効となるタイミングを決定し、第2の決定手段は装置が低速クロックで動作時には、高速クロックで動作時における計数値より小さい計数値に基づいて、読出しデータが有効となるタイミングを決定し、選択手段は指定手段の指定に基づいて、第1の決定手段または第2の決定手段によって決定されるタイミングを選択し、情報処理装置は記憶手段から読み出されたデータを、選択手段によって選択されたタイミングに基づいて、読み取って処理を行うように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 起動されてから所定時間後に有効なデータを読み出す記憶手段(50)を有する情報処理装置において、前記情報処理装置が動作するクロックの速度を第1の速度、またはそれより低速な第2の速度に指定する指定手段(60)と前記記憶手段(50)が起動されてから後に発生するクロック数を計数する計数手段(10)と、情報処理装置が第1のクロック速度で動作時には、前記記憶手段(50)が起動されてから有効なデータが読み出される迄の期間において該計数手段(10)が計数する計数値に基づいて、該記憶手段(50)から読み出されたデータが有効となるタイミングを決定する第1の決定手段(41)と、情報処理装置が第2のクロック速度で動作時には、第1の速度で動作時において該計数手段(10)が計数する値より小さい計数値に基づいて、前記記憶手段(50)から読み出されたデータが有効となるタイミングを決定する第2の決定手段(42)と、該指定手段(10)の指定に基づいて、第1の決定手段(41)または第2の決定手段(42)によって決定されるタイミングを選択する選択手段(40)とを設け、前記情報処理装置は、前記記憶手段(50)から読み出されたデータを、該選択手段(40)によって選択されたタイミングに基づいて、読み取って処理を行うことを特徴とするメモリ制御方式。

【請求項2】 前記情報処理装置において、さらに、前記記憶手段(50)のメモリサイクルを獲得する獲得手段(60)を設け、該獲得手段(60)によって獲得された期間において、前記指定手段(60)はクロック速度を指定し、前記選択手段(40)はタイミングを選択することを特徴とする請求項1のメモリ制御方式。

【請求項3】 前記指定手段(60)は、前記情報処理装置に供給される電源が、商用交流電源か、または電池かに従ってクロック速度を指定することを特徴とする請求項1または2のメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリ制御方式に関する。特に、動作周波数を高速から低速に切り換えたとき、情報処理装置の処理能力の低下を防止することができるメモリ制御方式に関する。

【0002】 近年、ワークステーション、ハンディターミナル等を構成する回路素子として、消費電力が小さい相補形金属酸化膜半導体(CMOS)が広く使用されている。CMOSは、定常状態では消費電力が低く、導通/遮断のスイッチング時に消費電力が高い性質を有する。また、持ち運び、移動が可能なように、電源としてバッテリーを使用した、又は商用交流(AC)電源とバッテリーを併用した装置が広く使用されている。AC電源とバッテリーを併用した装置においては、バッテリー運用時間を長く保つため、各種の低消費電力化手法が用いられているが、その一手法として、情報処理装置の動作周波数

の切り換えを行う方法がある。即ち、AC電源による動作時(以下、ACモードという)には、消費電力を抑える必要がないため、装置が許す限り高速の周波数(例えば、20メガHz)で動作させ、バッテリーによる動作時(以下、バッテリーモードという)には、CMOSの導通/遮断のスイッチング頻度を少なくして消費電力を抑えるため、低速の周波数(例えば、16メガHz)で動作させる方法が一般に使用されている。しかし、情報処理装置は一般に、低速周波数で動作させることにより、その処理能力が低下するため、処理能力の低下を防止することができるメモリ制御方式が望まれている。

【0003】

【従来の技術】 図6はメモリインタフェースの一例を示す図、図7はACモードにおけるメモリ制御の一例のタイミング図、図8はバッテリーモードにおける従来例のメモリ制御のタイミング図である。

【0004】 全図を通して、同一符号は同一又は同様な構成要素を示す。ACモードにおけるメモリ制御は、図6に示すメモリインタフェースを使用して、図7のように行われる。装置(例えば、マイクロプロセッサ:MPU)はメモリに対して、アクセスするデータの行アドレスを、クロックS0の前縁から、アドレスバス(MADRES)上に与え、MADRES上の行アドレスが有効であることを示す*RAS(Row Address Strobe)信号をクロックS0の後縁でLOWにする(ここで、*は否定論理を表す)。次に、列アドレスを、クロックS1の後縁から、MADRES上に与え、MADRES上の列アドレスが有効であることを示す*CAS(Column Address Strobe)信号をクロックS2の後縁でLOWにする。また、メモリの読出し動作を行うときは、*OE信号をLOWとする。(メモリの書込み動作を行うときは、*WE信号をLOWとする。) *CAS信号がLOWとなつてから所定時間後に、この場合はクロックS4とS5の間で、データはメモリからデータバス(DATA)上に読み出される。装置はクロックS6の後縁で、このデータを読み取る(または、取り込む)と共に、*RAS及び*CAS信号をHIGHにしてメモリアccessを完了する。

【0005】 図8は、バッテリーモードにおける従来例のメモリ制御のタイミング図であつて、消費電力を低減させるため、クロックを低周波数で動作させた場合を示す。図7の場合と同様に、*CAS信号がLOWとなつてから所定時間後に、この場合はクロックS3とS4の間で、データはメモリからDATA上に読み出される。装置はこのデータを、図7のACモードの場合と同様に、クロックS6の後縁で読み取ると共に、*RAS及び*CAS信号をHIGHにしてメモリアccessを完了する。

【0006】

【発明が解決しようとする課題】 メモリのアクセス制御はクロックに同期して行われるが、上記のように従来方

法によると、バッテリーモード時のメモリ制御はACモード時の制御と同様に行われたので、バッテリーモード時に単純に動作周波数、またはクロック周波数を低下させると、メモリのアクセス時間が事実上、長くなり、システム性能を大幅に低下させるという問題点があった。

【0007】本発明は、動作周波数を高速から低速に切り換えたとき、情報処理装置の処理能力の低下を防止することができるメモリ制御方式を提供することを目的とする。

【0008】

【課題を解決するための手段】図1は本発明の原理ブロック図を示す。50は、起動されてから所定時間後に有効なデータを読み出す記憶手段、60は、情報処理装置が動作するクロックの速度を第1の速度、またはそれより低速な第2の速度に指定する指定手段、10は、記憶手段50が起動されてから後に発生するクロック数を計数する計数手段、41は、情報処理装置が第1のクロック速度で動作時には、記憶手段50が起動されてから有効なデータが読み出される迄の期間において計数手段10が計数する計数値に基づいて、記憶手段50から読み出されたデータが有効となるタイミングを決定する第1の決定手段、42は、情報処理装置が第2のクロック速度で動作時には、第1の速度で動作時において計数手段10が計数する値より小さい計数値に基づいて、記憶手段50から読み出されたデータが有効となるタイミングを判定する第2の決定手段40は、指定手段10の指定に基づいて、第1の決定手段41または第2の決定手段42によって決定されるタイミングを選択する選択手段である。

【0009】

【作用】本発明によれば、起動されてから所定時間後に有効なデータを読み出す記憶手段50を有する情報処理装置において、指定手段60は情報処理装置が動作するクロックの速度を第1の速度、またはそれより低速な第2の速度に指定し、計数手段10は記憶手段50が起動されてから後に発生するクロック数を計数する。第1の決定手段41は情報処理装置が第1のクロック速度で動作時には記憶手段50が起動されてから有効なデータが読み出される迄の期間において計数手段10が計数する計数値に基づいて、記憶手段50から読み出されたデータが有効となるタイミングを決定し、第2の決定手段42は情報処理装置が第2のクロック速度で動作時には第1の速度で動作時において計数手段10が計数する値より小さい計数値に基づいて、記憶手段50から読み出されたデータが有効となるタイミングを決定する。選択手段40は指定手段10の指定に基づいて、第1の決定手段41または第2の決定手段42によって決定されるタイミングを選択し、情報処理装置は記憶手段50から読み出されたデータを、選択手段40によって選択されたタイミングに基づいて、読み取って処理を行う。従って、情報処理装置は、第2のクロック速度で動作時には記憶手段50から読み出されたデータを、

第1のクロック速度で動作時より、クロックとの相対関係において、早期に読み取って処理を行う。

【0010】

【実施例】図2は本発明の実施例のメモリ制御のブロック図、図3はバッテリーモードにおける本発明の実施例のメモリ制御のタイミング図である。全図を通して、同一符号は同一又は同様な構成要素を示す。

【0011】本発明は従来例の問題点に鑑み、次の2つの方法に基づいてメモリ制御を行うことによって、動作周波数を高速から低速に切り換えることによる情報処理装置の処理能力の低下を防止する。

【0012】方法1：メモリ（ダイナミックRAM：DRAMを例にとる）は*CAS信号が有効になってからデータが読み出されるまでの時間は一定であるため、クロックの低速動作時にはデータが読み出されるまでの待ちクロック数を少なくすればよい。例えば、図7に示すように、クロックの高速動作時にはデータはクロックS5で確定するが、図8に示す低速動作時にはS4で確定する。従って、図3に示すように、クロックの低速動作時にはデータを取り込むタイミング（アクセス時間）を1クロック速くしてS4で取り込むことによって、メモリアクセス時間、従って、サイクル時間を事実上、短縮することができる。

【0013】従って、ACモード（クロックの高速動作時）かバッテリーモード（クロックの低速動作時）かに従って、メモリからの読出しデータを取り込むクロックを、それぞれ、S5かS4かに切り換えることによってメモリアクセスの高速化を実現できる。

【0014】方法2：さらに、情報処理装置を運用しながら随意に、電源をAC電源からバッテリーに、またはその逆に切り換え可能にするためには、取込みクロックを動的に変化させ（S5とS4とを切り換え）なければならない。このとき、メモリアクセスの動作中に取込みクロックを変化させると、例えば、読出しアクセス時に、アドレスバス（MADRES）上で未だ確定していないデータを取り込むなどの誤動作を起こす恐れがある。

【0015】本発明は、図2に示すような方法でこの不都合を防止しながら、取込みクロックを切り換えてメモリの高速アクセスを実現する。図2は、本発明の実施例を示すブロック図である。

【0016】マイクロプロッサ（MPU）1aは、共通バスインタフェース9aを経由して、ダイナミックRAM（以下、DRAMという）5aに格納されたプログラムを読み出してプログラムを実行する。

【0017】ダイレクトメモリアクセスコントローラ（DMAC）2aは、共通バスインタフェース9aを経由してDMAシーケンサ4aに接続され、DRAM5aと各種の入出力装置20との間のデータ転送を、MPU1aを介することなく、直接、行わせるように制御する。

【0018】DRAMシーケンサ4aは、共通バスインタ

フェース9aとメモリアインタフェース45との間のインタフェース上の整合を行う。即ち、MPU1a又はDMAC2aから、共通バスインタフェース9aを介してDRAM5aへアクセス要求があったとき、メモリアインタフェース45上の信号を制御（例えば、図6参照）してDRAM5aから／へのデータ読出し／書き込みを行う。例えば、読出しアクセス時には、DRAM5aからの読出しデータは、直接、共通バスインタフェース9aへ供給されるが、DRAMシーケンサ4aはDACK信号を共通バスインタフェース9aへ出力することによって、読出しデータが有効であることを保証する。

【0019】バスマスタ調停部3aは、MPU1aとDMAC2a等から、DRAM5aへの複数のアクセスが同時に発生して競合したとき、予め定められた優先順位に従って、優先するアクセス（例えば、DMAC2aからのアクセス）を許可する。即ち、DRAM5aをアクセスするとき、許可されたMPU1a又はDMAC2aがバスマスタとなつて、共通バスインタフェース9a上にアドレス信号（ADDRESS）、アドレスストロブ信号（AS）などを出力してDRAM5aへのアクセスを実行する。バスマスタとなつてDRAM5aへのアクセスを行うことができる装置は、常に1台のみであつて、バスマスタの動作を行うことができる権利をバスマスタ権と言う。MPU1aとDMAC2aは、それぞれ、バスマスタ調停部3aに対してバスマスタ権要求信号（BR）を出力してバスマスタ調停部3aから許可信号（BG）を獲得し、バスマスタ権を獲得した装置はBGACK信号を応答する。

【0020】アクセス切換部4sは、DRAMシーケンサ4aに設けられ、前記の方法1の機能を遂行する。即ち、後述するモード検出部6aからのH/LSPD信号に基づいて、DRAM5aからの読出しデータが、共通バスインタフェース9a上で有効であることを示すDACK信号を出力するタイミングを切り換える。例えば、DACK信号を、前記の方法1における取込みクロックS5またはS4でアクティブになるようにタイミング制御する。このようにして、ACモードかバッテリーモードかに応じて、DRAM5aの高速アクセス（図7参照）と低速アクセス（図3参照）との切り換えが可能となる。また、クロック発生部1cを制御してクロック周波数を、例えば、20メガHzと16メガHzとの間で切り換える。図4はアクセス切換部4sを示す回路図である。H/LSPD信号がオン（高速アクセス）のとき、クロックS4は論理積回路A1及び論理和回路ORを経て遅延回路DLに入力されて遅延され、ラッチ回路LにラッチされてクロックS5の前縁でオンとなるDACKを出力する。同様に、H/LSPD信号がオフ（低速アクセス）のとき、クロックS4の前縁でアクティブになるDACKを出力する。

【0021】モード検出部6aは、MPU1aとDMAC2a等からDRAM5aへのアクセスが発生しない時間を確保し、その期間においてアクセス時間を切り換える、前記

方法2の機能を遂行する。即ち、電源部7aから、本装置の電源がACか又はバッテリーのいずれから供給されているかを示す信号AC/BATを入力して、電源モードがACモードかバッテリーモードかを常時、モニタする。ACモードからバッテリーモードへ、又は逆のモード変化があったときは、バスマスタ調停部3aに対してBR信号を出力してバスマスタ権を要求する。BG信号を受信してバスマスタ権を獲得すると、DRAM5aに対して現在、アクセスが行われていないことが保証されるため、DRAMシーケンサ4aに対してH/LSPD信号を変化させて、高速又は低速アクセスに切り換えるように指示する。その後、BGACK信号をネゲートしてバスマスタ権を放棄する。

【0022】本発明の実施例の作用を図5のフローチャートに基づいて説明する。

(1) モード検出部6aは、電源部7aを常時、監視して、電源モードがACモードからバッテリーモードへ、又は逆のモード変化の有無を検査する。

(2) モード検出部6aは、電源モードの変化が検出されたときは、バスマスタ調停部3aに対してBR信号を出力してバスマスタ権を要求する。

(3) モード検出部6aは、BG信号を受信してバスマスタ権を獲得すると、DRAMシーケンサ4aに対して、電源モードの変化に応じてH/LSPD信号をオン/オフ変化させて出力することにより、高速又は低速アクセスに切り換えるように指示する。その後BGACK信号をネゲートしてバスマスタ権を放棄する。

(4) H/LSPD信号がオンのとき、DRAMシーケンサ4aのアクセス切換部4sは、DRAM5aのアクセスを高速アクセスに切り換える。即ち、読出しアクセス時には、例えば、図7に示すように、読出しデータがクロックS5で有効となるタイミングでDACK信号を出力するように制御する。また、クロック発生部1cを制御してクロック周波数を、例えば、20メガHzに切り換える。

(5) H/LSPD信号がオフのとき、アクセス切換部4sは、DRAM5aのアクセスを低速アクセスに切り換える。即ち、読出しアクセス時には、例えば、図3に示すように、読出しデータがクロックS4で有効となるタイミングでDACK信号を出力するように制御する。また、クロック発生部1cを制御してクロック周波数を、例えば、16メガHzに切り換える。

【0023】このようにして、本発明は、ACモードかバッテリーモードかに応じて、クロック周波数及びDRAM5aのメモリアクセス時間の切り換えを、DRAM5aへのアクセスが発生していない期間を利用して動的に行う。従つて、バッテリーモード時には、装置を低周波数クロックで動作させ、CMOS回路の導通/遮断の頻度を低下させることにより、装置の消費電力を低下させる。また、低速に切り換えたクロック速度に対して、メモリアクセス時間を相対的に速め、サイクル時間を短縮す

10

20

30

40

50

ることによって装置の性能低下を防止することができる。情報処理装置の処理能力は、メモリのアクセス時間及びサイクル時間によって、その大部分が決定されるので、クロック速度を低下しても、このようにメモリ制御することにより、装置の処理能力の低下は極めて少ない。

【0024】上記の実施例では、*CAS信号からのデータ待ちクロック数を変化させることを例に説明したが、*RAS信号や*CAS信号を出力するタイミングを変えてもよいことは明らかであり、使用するメモリの性能とシステムのクロック周期によって最適に設定すればよい。

【0025】また、上記の実施例ではメモリの読出し動作の例について説明したが、本発明は書込み動作についても同様に適用される。即ち、クロックを基準として、低速クロックで動作時には、高速クロック動作時におけるよりも、早期にDACK信号を出力することにより、従来例よりもメモリのアクセス時間、従って、サイクル時間を短縮することができる。

【0026】

【発明の効果】以上説明したように、本発明によると、AC電源とバッテリーを併用する情報処理装置において、電源がACモードか又はバッテリーモードかに応じて、クロック周波数及びメモリのアクセス時間、従ってサイクル時間を動的に、かつ、安全に切り換えるので、ACモード時には装置を高速動作させることができ、また、バッテリーモード時には装置性能の低下を最小限に抑えて、消費電力を低下することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の原理ブロック図

【図2】 本発明の実施例のメモリ制御のブロック図

【図3】 バッテリーモードにおける本発明の実施例のメモリ制御のタイミング図

【図4】 アクセス切換部を例示する回路図

【図5】 本発明の実施例の作用を説明するフローチャート

【図6】 メモリインタフェースの一例を示す図

【図7】 ACモードにおけるメモリ制御の一例のタイミング図

【図8】 バッテリーモードにおける従来例のメモリ制御のタイミング図

【符号の説明】

10 計数手段

40 判定手段

41 第1の決定手段

42 第2の決定手段

50 記憶手段

60 指定手段

1a マイクロプロセッサユニット (MPU)

1c クロック発生部

20 2a ダイレクトメモリアクセスコントローラ (DMAC)

3a バスマスタ調停部

4a DRAMシーケンサ

4s アクセス切換部

5a ダイナミックRAM (DRAM)

6a モード検出部

7a 電源部

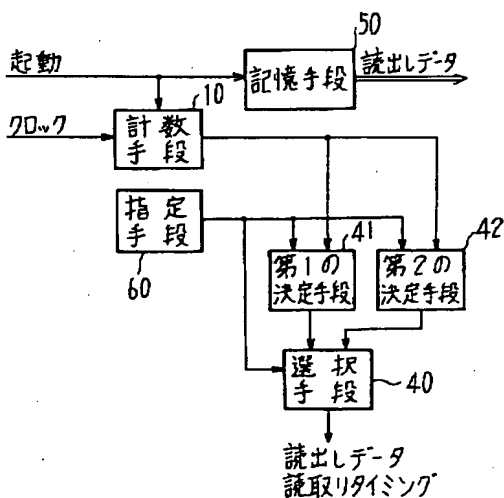
9a 共通バスインタフェース

20 入出力装置

30 45 メモリバスインタフェース

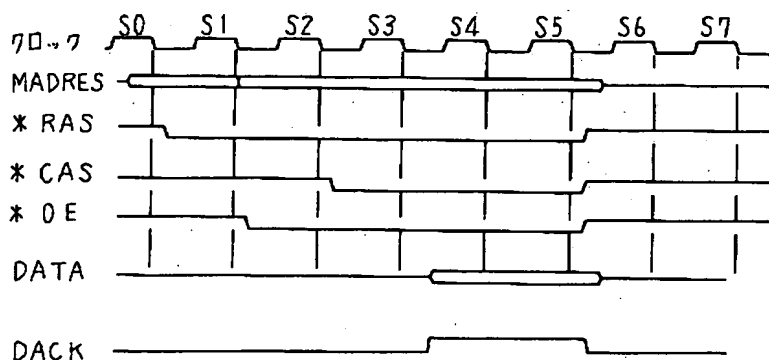
【図1】

本発明の原理ブロック図

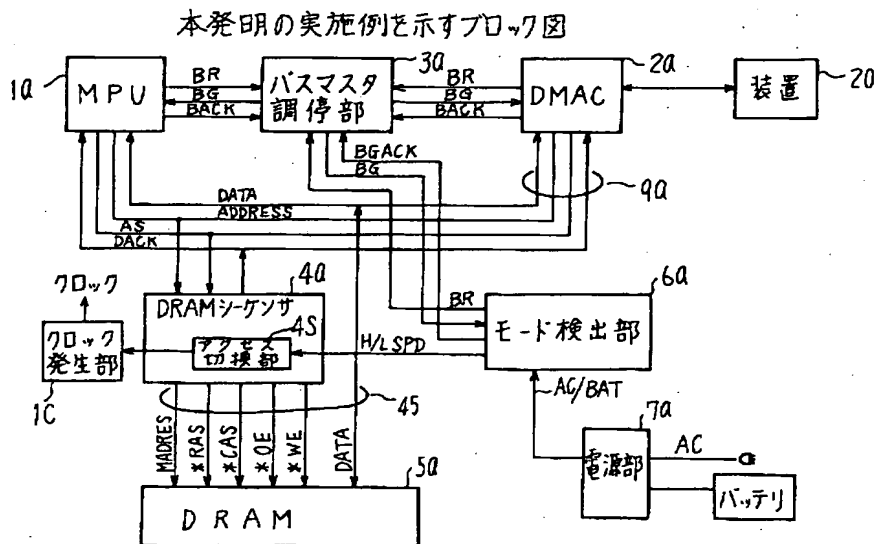


【図3】

バッテリーモードにおける本発明の実施例のメモリ制御のタイミング図

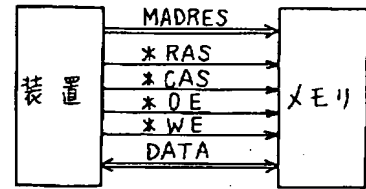


【図2】



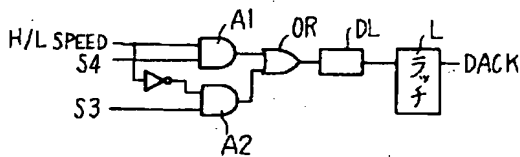
【図6】

メモリインタフェースの一例を示す図



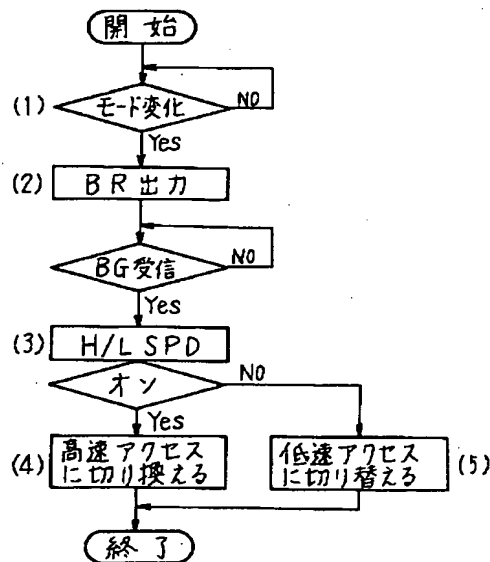
【図4】

アクセス切換部を例示する回路図



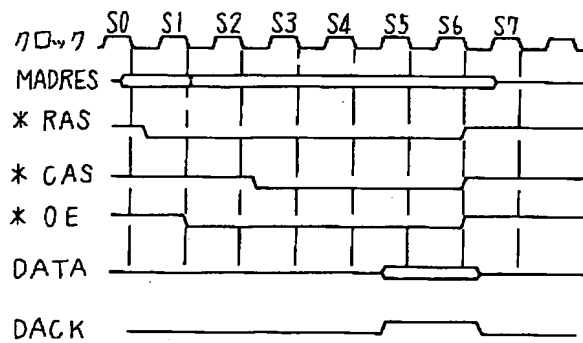
【図5】

本発明の実施例の作用を説明する説明図



【図7】

ACモードにおけるメモリ制御の一例のタイミング図



【図8】

バッテリーモードにおける従来例のメモリ制御のタイミング図

